

[Original document](#)

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Publication number: JP7022346

Publication date: 1995-01-24

Inventor: MOMOTAKE YASUHITO

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- international: ***H01L21/28; H01L21/3205; H01L21/768; H01L21/8242; H01L23/522; H01L27/10; H01L27/108; H01L21/02; H01L21/70; H01L23/52; H01L27/10; H01L27/108; (IPC1-7): H01L21/28; H01L21/3205; H01L21/768; H01L21/8242; H01L27/108***

- European:

Application number: JP19930164584 19930702

Priority number(s): JP19930164584 19930702

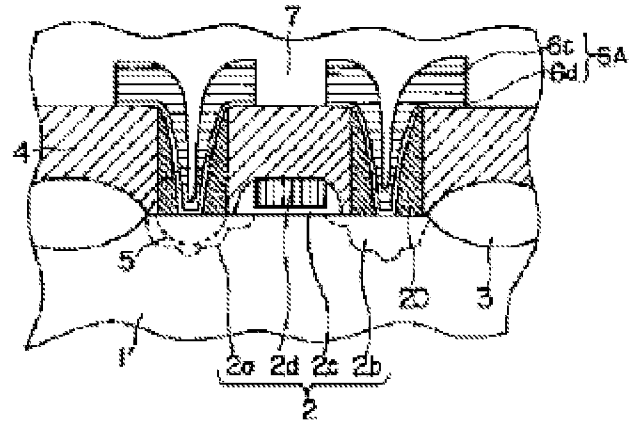
[View INPADOC patent family](#)

[View list of citing documents](#)

[Report a data error here](#)

Abstract of **JP7022346**

PURPOSE:To obtain a highly reliable semiconductor device of a structure, where in a coverage ratio of a metal wiring in contact holes is improved. **CONSTITUTION:**A semiconductor device is constituted of a semiconductor substrate 1, an interlayer oxide film 4 provided on this substrate 1, contact holes 5 which penetrate this film 4 and are bored on the substrate 1, sidewalls 20, which are provided in these holes 5 and have the same conductivity type as that of diffused layers 2a and 2b to be brought into contact in the substrate 1, and a metal wiring 6A connected with the layers 2a and 2b via the holes 5, in which these sidewalls 20 are provided.



Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-22346

(43)公開日 平成7年(1995)1月24日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	V	7376-4M		
21/3205				
21/768				
		8826-4M	H 0 1 L 21/ 88	B
		8826-4M	21/ 90	D
		審査請求	未請求	請求項の数 3
			〇 L	(全 9 頁) 最終頁に続く

(21)出願番号 特願平5-164584

(22)出願日 平成5年(1993)7月2日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 百武 康仁

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

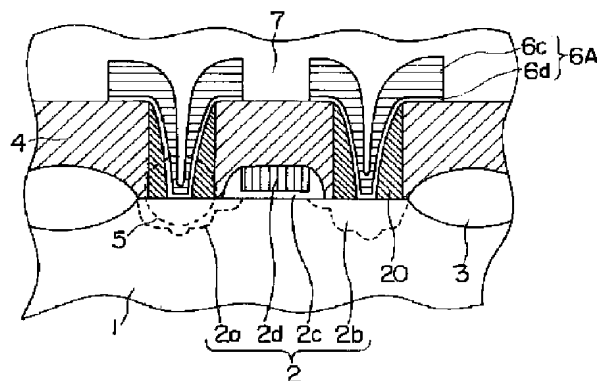
(74)代理人 弁理士 曾我 道照 (外6名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 コンタクトホールにおける金属配線のカバレッジ率が改善された信頼性の高い半導体装置を得る。

【構成】 半導体基板1と、この半導体基板1上に設けられた層間酸化膜4と、この層間酸化膜4を貫通して半導体基板1上に穿設されたコンタクトホール5と、このコンタクトホール5内に設けられ、半導体基板1内のコンタクトすべき拡散層2a、2bと同一の導電型のサイドウォール20と、このサイドウォール20の設けられたコンタクトホール5を介して拡散層2a、2bと接続された金属配線6Aとで構成する。



1: 半導体基板
2: トランジスタ
4: 層間酸化膜
5: コンタクトホール
6A 金属配線
6c: アルミ系合金膜
6d: パリメタル層
7: 保護膜
20: サイドウォール

1

2

【特許請求の範囲】

【請求項1】 半導体基板と、

この半導体基板上に設けられた層間絶縁膜と、
この層間絶縁膜を貫通して上記半導体基板上に穿設され
たコンタクトホールと、

このコンタクトホール内に設けられ、上記半導体基板内
のコンタクトすべき拡散層と同一の導電型のサイドウォ
ールと、

このサイドウォールの設けられた上記コンタクトホール
を介して上記拡散層と接続された金属配線とを備えたこ
とを特徴とする半導体装置。 10

【請求項2】 半導体基板上に層間絶縁膜を形成する工
程と、

上記層間絶縁膜に上記半導体基板に達するコンタクトホ
ールを形成する工程と、

少なくとも上記コンタクトホール上にポリシリコン膜を
形成する工程と、

上記ポリシリコン膜をエッチバックして上記コンタクト
ホール内にサイドウォールを形成する工程と、

上記サイドウォールに上記半導体基板のコンタクトすべ
き拡散層と同一の導電型の不純物を導入する工程と、 20

少なくとも上記サイドウォールの形成されている上記コ
ンタクトホール内にバリアメタル層および金属層を形成
する工程とを含むことを特徴とする半導体装置の製造方
法。

【請求項3】 半導体基板上に層間絶縁膜を形成する工
程と、

上記層間絶縁膜に上記半導体基板に達するコンタクトホ
ールを形成する工程と、

少なくとも上記コンタクトホール上にポリシリコン膜を
形成する工程と、 30

上記ポリシリコン膜をエッチバックして上記コンタクト
ホール内にサイドウォールを形成する工程と、

上記サイドウォールに上記半導体基板のコンタクトすべ
き拡散層と同一の導電型の不純物を導入する工程と、

少なくとも上記サイドウォールの形成されている上記コ
ンタクトホール内にバリアメタル層およびウエット層を
形成する工程と、
真空状態で上記ウエット層上に金属層を形成し、高温熱
処理する工程とを含むことを特徴とする半導体装置の製
造方法。 40

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えばDRAM等の
半導体装置およびその製造方法に関し、特にアスペクト
比の大きいコンタクトホールにおける金属配線のカバレ
ッジ率の改善された半導体装置およびその製造方法に関
するものである。

【0002】

【従来の技術】例えばDRAMに代表される最近の半導 50

体装置は、微細化の一途をたどっており、それに伴って
電極配線相互間または電極配線と基板との間の接続用の
コンタクトホール（接続孔またはビアホール）も縮小化
されていく傾向にある。しかしながら、半導体装置の縦
方向のサイズは、キャパシタの容量を確保する等の理由
からほとんど縮小されていない。このため、上述のコン
タクトホールのアスペクト比（コンタクトホール径に対
する深さの比）は増加の一途をたどっている。

【0003】図7は従来の半導体装置として例えばMO
S F E Tの構造の一例を示す断面図である。図におい
て、1は例えばP型のシリコン単結晶からなる半導体基
板、2 aおよび2 bは半導体基板1上に形成された例え
ばN型の拡散層であって、拡散層2 aおよび2 bはそれ
ぞれ後述のトランジスタのソース領域およびドレイン領
域となる。2 cは半導体基板1上に形成されたゲート
酸化膜、2 dはポリシリコン等よりなるゲート電極であ
る。ソース領域2 a、ドレイン領域2 b、ゲート酸化膜
2 cおよびゲート電極2 dによりトランジスタ2を構成
する。

【0004】3は半導体基板1上に形成され、トランジ
スタ2間を分離するためのフィールド酸化膜、4はトラ
ンジスタ2上に形成された例えばB P S G（ボロンおよ
びリン入りのシリケートガラス）等よりなる層間酸化
膜、5は層間酸化膜4を貫通して形成され、ソース領域
2 aおよびドレイン領域2 bと後述の金属配線とを電気
的に接続するためのコンタクトホール、6はコンタクト
ホール5を介してトランジスタ2を電気的に接続するた
めの金属配線、7は例えばシリコン窒化膜またはシリコ
ン酸化膜等よりなる保護膜である。

【0005】なお、最近のデバイスでは、金属配線6
は、例えば銅やシリコンを含むアルミ系合金膜6 a、お
よびアルミ合金膜6 aが下地の半導体基板1と反応する
ことを防ぐための例えば窒化チタン（TiN）よりなる
バリアメタル層6 bより構成されている。金属配線6を
このように多層化することにより、より信頼度の高い配
線が実現される。

【0006】さて、デバイスがより縮小化したとき、コ
ンタクトホール5のアスペクト比はより大きいものとな
ってゆく。通常、金属配線6は、信頼性上最も実績のあ
るスパッタ法により形成されるが、スパッタ法の成膜原
理上コンタクトホール5内での段差被覆率即ちカバレッ
ジ率（金属配線のフラット部での膜厚に対するコンタク
トホール5内の最も薄い膜厚の比率）は、非常に低いも
のとなる。特に、高いアスペクト比のコンタクトホール
の場合、図に破線8で示すようなアルミ合金膜6 aの断
線が生じることも稀ではない。

【0007】ところで、最近のデバイスの縮小化に伴
い、コンタクトホールのアスペクト比が増大し、金属配
線のカバレッジ率が低下し、デバイスの信頼性上大きな
問題になっていることを上述したが、この1つの解決方

法として、真空中でスパッタ法によりアルミ系合金膜を形成した後高温熱処理（以下、アルミリフロー法という）したり、あるいは高温加熱しながら同時にスパッタ法によりアルミ系合金膜を形成（以下、高温アルミスパッタ法という）させ、コンタクトホールにおける金属配線のカバレッジ率を改善する方法がある。

【0008】図8はアルミリフロー法を用いた従来の半導体装置として例えばMOSFETの構造の一例を示す断面図である。図において、図7と対応する部分には同一符号を付し、その詳細説明は省略する。図において、9はアルミリフロー法を用いた金属配線であって、この金属配線9は例えばリフロー（高温熱処理）したアルミ系合金膜9aと、窒化チタン等よりなるバリアメタル層とチタン（Ti）よりなるウエット層の二重構造をとるバリアメタル膜9bとで構成される。10はアルミ系合金膜9aにより埋め込まれたコンタクトホール5内に発生したいわゆるボイド（空隙）である。

【0009】この場合、通常のスパッタ法によるバリアメタル層と異なり、半導体基板1とアルミ系合金膜9aとの反応を防ぐバリアメタル層だけでなく、アルミ系合金膜9aのぬれ性を良くするためのチタンよりなるウエット層が50～300Å程度必要となる。これにより、良好なアルミ系合金膜9aの埋め込まれたコンタクトホール5が得られるが、幾つかのコンタクトホール5ではその内部に図に示すような大きなボイド10が発生し、信頼性が著しく劣化する。

【0010】このようなボイド10の発生する理由を図9を参照して説明する。通常、層間酸化膜4はBPSGやTEOS（テトラエチルオルシリケート）を原料としてCVD法（化学気相成長法）により形成される。この層間酸化膜4はいわゆる段差被覆性は良いものの完全なシリコン酸化膜（SiO₂）になっていない膜であり、多くの欠陥やフリーの酸素（O₂）を含有している。アルミリフロー法の工程においては、アルミ合金膜と下地との界面でのぬれ性を改善するために、チタン等のアルミ合金膜とぬれ性の良い金属を敷き、ウエット層として用いている。

【0011】しかしながら、アルミリフロー法もしくは高温アルミスパッタ法の適用中、半導体基板1は480℃～580℃と高温になるため、層間酸化膜4中から酸素11がコンタクトホール5内に拡散してくる。この酸素11はバリアメタル膜9bのウエット層と反応し、バリアメタル膜9bは実質的に金属酸化膜12に変化する。この金属酸化膜12とアルミ合金膜9aのぬれ性は極めて悪く、この結果、コンタクトホール5にはアルミ合金膜9aが埋め込まれず、ボイド10が発生する。

【0012】

【発明が解決しようとする課題】従来の半導体装置は以上のように構成されているので、金属配線のコンタクトホールにおけるカバレッジ率が非常に悪くて信頼性に乏

しく、しかもこのカバレッジ率を改善するためのアルミリフロー法等を用いても任意のコンタクトホールにおいて大きなボイドが発生し、金属配線が断線する等半導体装置の信頼性を著しく劣化させるという問題点があった。

【0013】この発明はこのような問題点を解決するためになされたもので、コンタクトホールにおける金属配線のカバレッジ率が改善された信頼性の高い半導体装置およびその製造方法を得ることを目的とする。

【0014】

【課題を解決するための手段】請求項1記載の発明に係る半導体装置は、半導体基板と、この半導体基板上に設けられた層間絶縁膜と、この層間絶縁膜を貫通して上記半導体基板上に穿設されたコンタクトホールと、このコンタクトホール内に設けられ、上記半導体基板内のコンタクトすべき拡散層と同一の導電型のサイドウォールと、このサイドウォールの設けられた上記コンタクトホールを介して上記拡散層と接続された金属配線とを備えたものである。

【0015】請求項2記載の発明に係る半導体装置の製造方法は、半導体基板上に層間絶縁膜を形成する工程と、上記層間絶縁膜に上記半導体基板に達するコンタクトホールを形成する工程と、少なくとも上記コンタクトホール上にポリシリコン膜を形成する工程と、上記ポリシリコン膜をエッチバックして上記コンタクトホール内にサイドウォールを形成する工程と、上記サイドウォールに上記半導体基板のコンタクトすべき拡散層と同一の導電型の不純物を導入する工程と、少なくとも上記サイドウォールの形成されている上記コンタクトホール内にバリアメタル層および金属層を形成する工程とを含むものである。

【0016】請求項3記載の発明に係る半導体装置の製造方法は、半導体基板上に層間絶縁膜を形成する工程と、上記層間絶縁膜に上記半導体基板に達するコンタクトホールを形成する工程と、少なくとも上記コンタクトホール上にポリシリコン膜を形成する工程と、上記ポリシリコン膜をエッチバックして上記コンタクトホール内にサイドウォールを形成する工程と、上記サイドウォールに上記半導体基板のコンタクトすべき拡散層と同一の導電型の不純物を導入する工程と、少なくとも上記サイドウォールの形成されている上記コンタクトホール内にバリアメタル層およびウエット層を形成する工程と、真空状態で上記ウエット層上に金属層を形成し、高温熱処理する工程とを含むものである。

【0017】

【作用】請求項1記載の発明においては、コンタクトホール内に半導体基板内のコンタクトすべき拡散層と同一の導電型のサイドウォールが存在するので、実質的にコンタクトホールの形状がサイドウォールの形状で規定され、金属配線の材料を埋め込み易い形状例えば順テーパ

状となるため、コンタクトホール内における金属配線のカバレッジ率が改善される。

【0018】又、請求項2記載の発明においては、コンタクトホール上にポリシリコン膜を形成し、このポリシリコン膜をエッチバックしてコンタクトホール内にサイドウォールを形成し、さらにサイドウォールに半導体基板のコンタクトすべき拡散層と同一の導電型の不純物を導入して導電化し、しかる後コンタクトホール内にバリアメタル層および金属層からなる金属配線を形成する。これにより、実質的にコンタクトホールの形状がサイドウォールの形状で規定された所定形状例えば順テーパー状となるため、金属配線を構成するバリアメタル層および金属層の埋め込みが容易でかつ確実となり、コンタクトホール内における金属配線のカバレッジ率が改善される。

【0019】又、請求項3記載の発明においては、コンタクトホール上にポリシリコン膜を形成し、このポリシリコン膜をエッチバックしてコンタクトホール内にサイドウォールを形成し、さらにサイドウォールに半導体基板のコンタクトすべき拡散層と同一の導電型の不純物を導入して導電化し、しかる後コンタクトホール内にバリアメタル層およびウエット層を形成し、次いで真空状態でウエット層上に金属層を形成して高温熱処理する。これにより、実質的にコンタクトホールの形状がサイドウォールの形状で規定された所定形状例えば順テーパー状となり、しかも金属層が高温熱処理されているのでウエット層が酸化さず、金属層のコンタクトホール内におけるぬれ性が保証されるため、金属配線を構成するバリアメタル層および金属層の埋め込みを再現性良く容易にかつ確実に行うことができ、コンタクトホール内における金属配線のカバレッジ率がさらに改善される。

【0020】

【実施例】

実施例1. 以下、この発明の一実施例を、半導体装置として例えばMOSFETの場合を例に取り、図について説明する。図1はこの発明の一実施例によるMOSFETの構造を示す断面図であり、図7と対応する部分には同一符号を付し、その詳細説明は省略する。図において、6Aはコンタクトホール5を介してトランジスタ2を電気的に接続するための金属配線であって、この金属配線6Aは、例えば銅やシリコンを含む金属層としてのアルミ系合金膜6c、およびアルミ合金膜6cが下地の半導体基板1と反応することを防ぐための例えば窒化チタン(TiN)よりなるバリアメタル層6dより構成されている。金属配線6Aをこのように多層化することにより、より信頼度の高い配線が実現される。

【0021】20はコンタクトホール5内に形成された例えばポリシリコンからなるサイドウォールであって、このサイドウォール20はソース領域2aおよびドレイン領域2bと同一の導電型を有するものとする。この

サイドウォール20の存在によりコンタクトホール5の形状は、実質的に順テーパー状となり、PVD法(物理気相成長法)例えばスパッタ法によるバリアメタル層6dおよびアルミ系合金膜6cのカバレッジ率は良好なものとなる。

【0022】図2および図3はこの発明の一実施例によるMOSFETの製造工程を示す断面図であり、これら図2および図3を参照してその製造方法を順に説明する。まず、図2(a)において、第1導電型例えばP型の半導体基板1上に層間絶縁膜例えば層間酸化膜4を形成し、次いでこの層間酸化膜4の一部を開孔して半導体基板1の主表面に達するコンタクトホール5を形成する。そして、このコンタクトホール5を通して第2導電型例えばN型の不純物を導入し、トランジスタ2のソース領域2aまたはドレイン領域2bとなる拡散層21を半導体基板1の主表面上に形成する。

【0023】次に、図2(b)において、コンタクトホール5を含む層間酸化膜4上に例えば減圧CVD法によりポリシリコンを堆積し、エッチバックしてポリシリコン膜22を形成する。この減圧CVD法によるポリシリコン膜22は、極めてカバレッジ率が良く、ほぼ均一に成膜される。なお、このポリシリコン膜22の膜厚はコンタクトホール5の外径の1/3程度が好ましい。

【0024】次に、図2(c)において、例えばCCl₄、Cl₂、SiCl₄等のガスまたはそれらの混合ガス等の反応性ガスより電離して得られた反応性イオン23を用いて反応性イオンエッチング(RIE)をポリシリコン膜22に対して行う。このときの反応性イオン23は異方性が強く、最終的に平坦部ではポリシリコン膜22がエッチングされ、コンタクトホール5内の側部には図に示すように頂部で薄く底部に行くに従って厚くなる後述のサイドウォールとなる部分のみのポリシリコン膜22が残る。このため、コンタクトホール5の形状は、後工程の金属配線を形成する際に都合の良い順テーパー状となる。

【0025】次に、図2(d)において、図2(c)の段階ではポリシリコン膜22は導電化されていないので、下地の拡散層21と同一の導電型となる不純物例えば砒素(As)24を上方より導入し、図示せずともシタ工程を経ることにより導電化してコンタクトホール5の側部にサイドウォール20を形成する。なお、この工程は通常MOSデバイスで行われているいわゆるSAC(セルフ・アライン・コンタクト)導入を兼ねることも可能である。

【0026】次に、図3(a)において、後工程で形成されるアルミ系合金膜6cと下地の半導体基板1が相互に反応することを防ぐために窒化チタン等からなるバリアメタル膜6dを例えばスパッタ法等によりコンタクトホール5内の半導体基板1の主表面の露出部分、サイドウォール20および層間酸化膜4の上に形成する。この

とき、導電化されたサイドウォール20の存在により、スパッタ法によるバリアメタル層6dの厚さは、500～1500Å程度のほぼ均一なものとなり、そのカバレッジ率は極めて良好なものとなる。

【0027】次に、図3(b)において、アルミ系合金膜6cを例えばスパッタ法によりバリアメタル層6d上に形成する。このアルミ系合金膜6cもバリアメタル層6dと同様にカバレッジ率は良好なものとなる。また、このアルミ系合金膜6cとバリアメタル層6dからなる金属配線6Aと半導体基板1内の拡散層21とのコンタクト抵抗は、金属配線6Aと半導体基板1とのコンタクトのみならず、ポリシリコンからなる導電化されたサイドウォール20においてもコンタクトがなされるので、結果的に低抵抗化が実現される。最後に、図3(c)において、金属配線6Aのアルミ系合金膜6a上に例えばシリコン窒化膜やシリコン酸化膜からなる保護膜10を例えばプラズマCVD法等により形成する。

【0028】このように、本実施例では、コンタクトホール5内にサイドウォール20を形成したので、コンタクトホール5の形状が安定に順テーパ状になり、このコンタクトホール5内に埋め込まれる金属配線6Aによるコンタクトホール5のカバレッジ率が高くて良好なものとなり、金属配線等が断線することがないため、信頼性の高いMOSFETが得られる。

【0029】実施例2. 図4はこの発明の他の実施例によるMOSFETの構造を示す断面図であり、図1と対応する部分には同一符号を付し、その詳細説明は省略する。図において、9Aはアルミリフロー法を用いた金属配線であって、この金属配線9Aは真空中で例えば480～580℃程度の高温で1～3分程リフローした例えば銅やシリコンを含む金属層としてのアルミ系合金膜9cと、アルミ合金膜9cが下地の半導体基板1と反応することを防ぐための例えば窒化チタン等よりなるバリアメタル層およびコンタクトホール5内のアルミ系合金膜9cのぬれ性を改善するためのチタンよりなるウエット層の二重構造をとるバリアメタル膜9dとで構成される。

【0030】かくして、本実施例でも、サイドウォール20の存在によりコンタクトホール5の形状は、実質的に順テーパ状となり、PVD法(物理気相成長法)例えばスパッタ法によるバリアメタル膜9dおよびアルミ系合金膜9cのカバレッジ率は良好なものとなる。

【0031】図5および図6はこの発明の他の実施例によるMOSFETの製造工程を示す断面図であり、これら図5および図6を参照してその製造方法を順に説明する。まず、図5(a)において、第1導電型例えばP型の半導体基板1上に層間絶縁膜例えば層間酸化膜4を形成し、次いでこの層間酸化膜4の一部を開孔して半導体基板1の主表面に達するコンタクトホール5を形成する。そして、このコンタクトホール5を通して第2導電

型例えばN型の不純物を導入し、トランジスタ2のソース領域2aまたはドレイン領域2bとなる拡散層21を半導体基板1の主表面上に形成する。

【0032】次に、図5(b)において、コンタクトホール5を含む層間酸化膜4上に例えば減圧CVD法によりポリシリコンを堆積し、エッチバックしてポリシリコン膜22を形成する。この減圧CVD法によるポリシリコン膜22は、極めてカバレッジ率が良く、ほぼ均一に成膜される。なお、このポリシリコン膜22の膜厚はコンタクトホール5の外径の1/3程度が好ましい。

【0033】次に、図5(c)において、例えばCCl₄、Cl₂、SiCl₄等のガスまたはそれらの混合ガス等の反応性ガスより電離して得られた反応性イオン23を用いて反応性イオンエッチング(RIE)をポリシリコン膜22に対して行う。このときの反応性イオン23は異方性が強く、最終的に平坦部ではポリシリコン膜22がエッチングされ、コンタクトホール5内の側部には図に示すように頂部で薄く底部に行くに従って厚くなる後述のサイドウォールとなる部分のみのポリシリコン膜22が残る。このため、コンタクトホール5の形状は、後工程の金属配線を形成する際に都合の良い順テーパ状となる。

【0034】次に、図5(d)において、図5(c)の段階ではポリシリコン膜22は導電化されていないので、下地の拡散層21と同一の導電型となる不純物例えば砒素(As)24を上方より導入し、図示せずともシタ工程を経ることにより導電化してコンタクトホール5の側部にサイドウォール20を形成する。なお、この工程は通常MOSデバイスで行われているいわゆるSAC(セルフ・アライン・コンタクト)導入を兼ねることも可能である。

【0035】次に、図6(a)において、厚さが500～1500Å程度のバリアメタル層と厚さが50～300Å程度のウエット層からなるバリアメタル膜9dを例えばスパッタ法等によりコンタクトホール5内の半導体基板1の主表面の露出部分、サイドウォール20および層間酸化膜4の上に形成する。このとき、導電化されたサイドウォール20の存在により、スパッタ法によるバリアメタル膜9dの厚さは、ほぼ均一なものとなり、そのカバレッジ率は極めて良好なものとなる。

【0036】次に、図6(b)において、アルミ系合金膜9cを所定の膜厚まで低温(～50℃程度)でバリアメタル膜9d上に成膜し、その後温度480～580℃で1～3分程加熱する。この過程でアルミ系合金膜9cは下地のバリアメタル膜9dとぬれ性が良好なことからコンタクトホール5内に全て埋め込まれる。なお、層間酸化膜4より酸素11が脱ガスしてくるが、サイドウォール20でトラップされ、結果として層間酸化膜4に接するサイドウォール20の部分にシリコン酸化膜25が形成される。このため、バリアメタル膜9dのウエット

層は酸化されることなく、アルミ系合金膜9cのコンタクトホール20内でのぬれ性を阻害することはない。この結果、非常に再現性良くアルミ系合金膜9cのコンタクトホール5への埋め込みが可能となる。ここで、再現性とは、例えば、コンタクトホールが100万個あった場合、100万個全てがアルミ系合金膜で埋め込まれることを意味する。

【0037】最後に、図6(c)において、金属配線9Aのアルミ系合金膜9c上に例えばシリコン窒化膜やシリコン酸化膜等からなる保護膜10を例えばプラズマCVD法等により形成する。

【0038】このように、本実施例では、コンタクトホール5内にサイドウォール20を形成してコンタクトホール5の形状を安定に順テーパ状とすると共に、アルミリフロー法を用いてリフローされたアルミ系合金膜9cをコンタクトホール5内に埋め込むようにしているので、アルミ系合金膜9cの埋め込みを再現性良くかつ微細なコンタクで容易に行うことができ、これにより金属配線9Aによるコンタクトホール5のカパレッジ率が高くて良好なものとなり、金属配線等が断線することがないため、より信頼性の高い微細なMOSFETが得られる。

【0039】実施例3. なお、上記実施例では、バリアメタル層として窒化チタンの場合について説明したが、これに限定されることなく、例えばチタタンングステン、タンングステンシリサイド、モリブデンシリサイド等を用いてもよい。

【0040】実施例4. また、上記実施例で用いられたアルミ系合金膜の代わりに、タンングステンシリサイド膜、モリブデンシリサイド膜等を用いてもよい。

【0041】実施例5. さらに、上記実施例では、半導体装置としてMOSFETの場合について説明したが、これに限定されることなく、その他の半導体装置にも同様に適用でき、同様の効果を奏する。

【0042】

【発明の効果】以上のように、請求項1記載の発明によれば、半導体基板と、この半導体基板上に設けられた層間絶縁膜と、この層間絶縁膜を貫通して上記半導体基板上に穿設されたコンタクトホールと、このコンタクトホール内に設けられ、上記半導体基板内のコンタクトすべき拡散層と同一の導電型のサイドウォールと、このサイドウォールの設けられた上記コンタクトホールを介して上記拡散層と接続された金属配線とを備えたので、コンタクトホール内における金属配線のカパレッジ率が改善され、信頼性の高い半導体装置が得られるという効果がある。

【0043】また、請求項2記載の発明によれば、半導体基板上に層間絶縁膜を形成する工程と、上記層間絶縁膜に上記半導体基板に達するコンタクトホールを形成する工程と、少なくとも上記コンタクトホール上にポリシ

リコン膜を形成する工程と、上記ポリシリコン膜をエッチバックして上記コンタクトホール内にサイドウォールを形成する工程と、上記サイドウォールに上記半導体基板のコンタクトすべき拡散層と同一の導電型の不純物を導入する工程と、少なくとも上記サイドウォールの形成されている上記コンタクトホール内にバリアメタル層および金属層を形成する工程とを含むので、金属配線を構成するバリアメタル層および金属層の埋め込みが容易でかつ確実となり、コンタクトホール内における金属配線のカパレッジ率が改善され、信頼性の高い半導体装置が得られるという効果がある。

【0044】また、請求項3記載の発明によれば、半導体基板上に層間絶縁膜を形成する工程と、上記層間絶縁膜に上記半導体基板に達するコンタクトホールを形成する工程と、少なくとも上記コンタクトホール上にポリシリコン膜を形成する工程と、上記ポリシリコン膜をエッチバックして上記コンタクトホール内にサイドウォールを形成する工程と、上記サイドウォールに上記半導体基板のコンタクトすべき拡散層と同一の導電型の不純物を導入する工程と、少なくとも上記サイドウォールの形成されている上記コンタクトホール内にバリアメタル層およびウエット層を形成する工程と、真空状態で上記ウエット層上に金属層を形成し、高温熱処理する工程とを含むので、金属配線を構成するバリアメタル層および金属層の埋め込みを再現性良く容易にかつ確実に行うことができ、コンタクトホール内における金属配線のカパレッジ率がさらに改善され、微細でより信頼性の高い半導体装置が得られるという効果がある。

【図面の簡単な説明】

【図1】この発明による半導体装置の一実施例を示す断面図である。

【図2】この発明による半導体装置の製造方法の一実施例を示す断面図である。

【図3】この発明による半導体装置の製造方法の一実施例を示す断面図である。

【図4】この発明による半導体装置の他の実施例を示す断面図である。

【図5】この発明による半導体装置の製造方法の他の実施例を示す断面図である。

【図6】この発明による半導体装置の製造方法の他の実施例を示す断面図である。

【図7】従来の半導体装置の一例を示す断面図である。

【図8】従来の半導体装置の他の例を示す断面図である。

【図9】従来の半導体装置の他の例における問題点を説明するための断面図である。

【符号の説明】

- 1 半導体基板
- 4 層間酸化膜
- 5 コンタクトホール

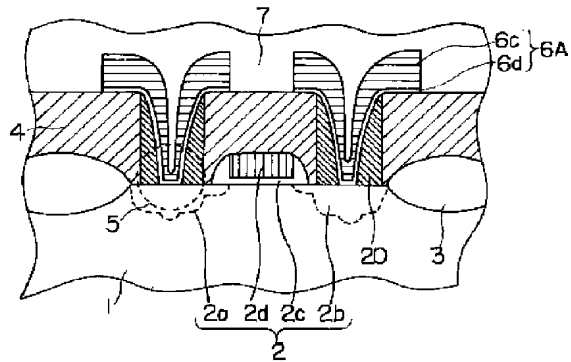
11

12

6A、9A 金属配線
6c、9c アルミ系合金膜
6d パリアメタル層

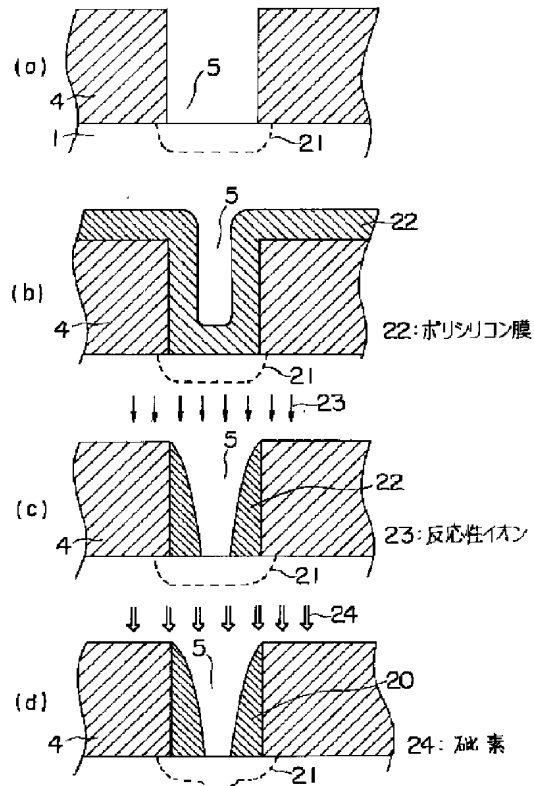
9d パリアメタル膜
20 サイドウォール

【図1】

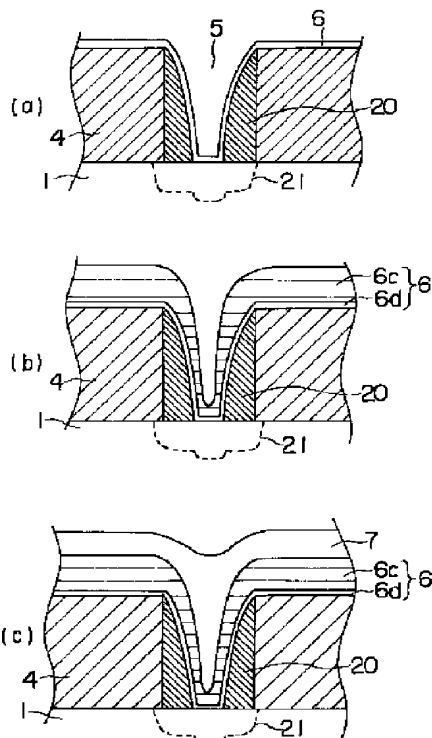


1: 半導体基板
2: トランジスタ
4: 層間酸化膜
5: コンタクトホール
6A 金属配線
6c: アルミ系合金膜
6d: パリアメタル層
7: 保護膜
20: サイドウォール

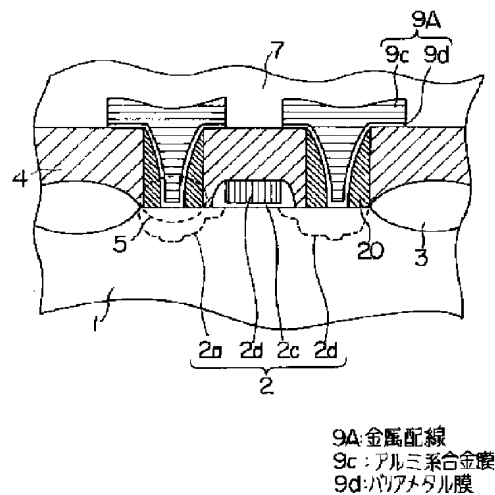
【図2】



【図3】

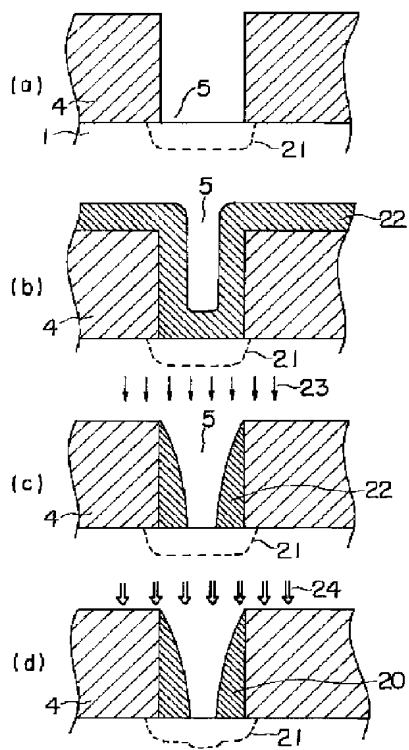


【図4】

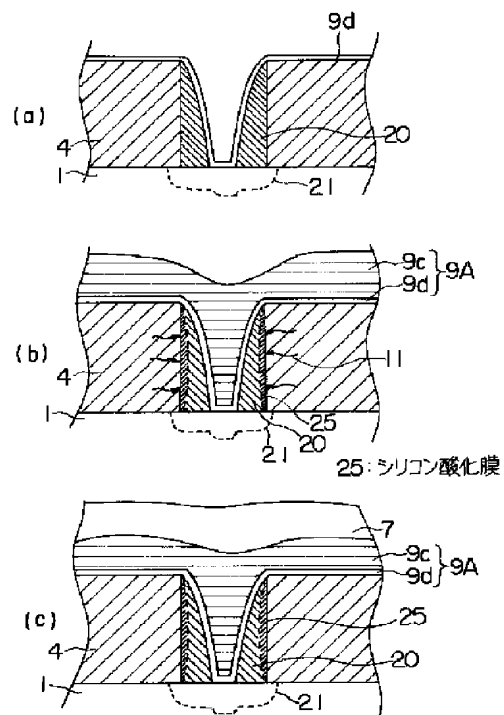


9A: 金属配線
9c: アルミ系合金膜
9d: パリアメタル膜

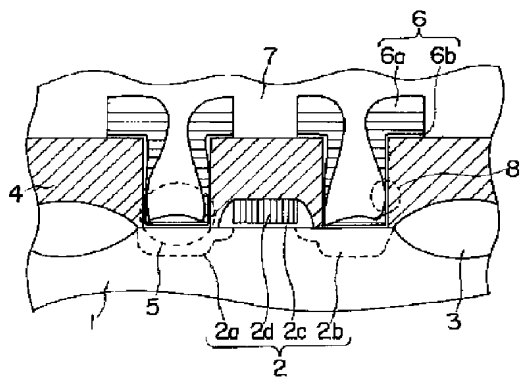
【図5】



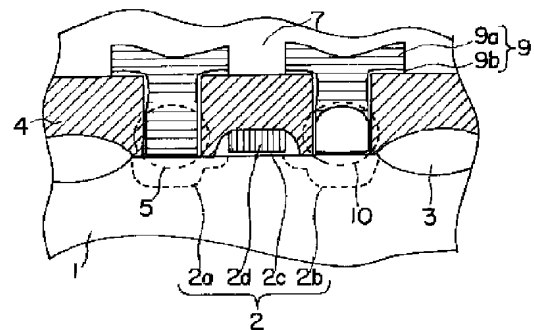
【図6】



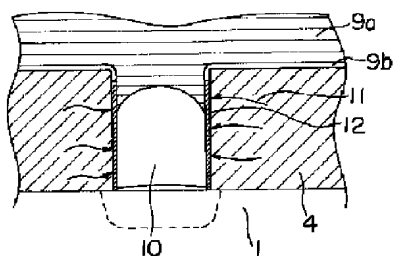
【図7】



【図8】



【図9】



【手続補正書】

【提出日】平成5年12月16日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】このようなボイド10の発生する理由を図9を参照して説明する。通常、層間酸化膜4はBPSGやTEOS（テトラエチルオルソシリケート）を原料としてCVD法（化学気相成長法）により形成される。この層間酸化膜4はいわゆる段差被覆性は良いものの完全なシリコン酸化膜（ SiO_2 ）になっていない膜であり、多くの欠陥やフリーの酸素（ O_2 ）を含有している。アルミリフロー法の工程においては、アルミ合金膜と下地との界面でのぬれ性を改善するために、チタン等のアルミ合金膜とぬれ性の良い金属を敷き、ウエット層として用いている。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】又、請求項3記載の発明においては、コンタクトホール上にポリシリコン膜を形成し、このポリシリコン膜をエッチバックしてコンタクトホール内にサイドウォールを形成し、さらにサイドウォールに半導体基板のコンタクトすべき拡散層と同一の導電型の不純物を導入して導電化し、しかる後コンタクトホール内にバリアメタル層およびウエット層を形成し、次いで真空状態でウエット層上に金属層を形成して高温熱処理する。これにより、実質的にコンタクトホールの形状がサイドウォールの形状で規定された所定形状例えば順テーパ状となり、しかも金属層が高温熱処理されている間ウエット層は酸化されないため、金属層のコンタクトホール内におけるぬれ性が保証されるため、金属配線を構成するバリアメタル層および金属層の埋め込みを再現性良く容易にかつ確実に行うことができ、コンタクトホール内における金属配線のカバレッジ率がさらに改善される。

 フロントページの続き

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8242				
27/108				
		7210-4M	H 0 1 L 27/10	3 2 5 P